

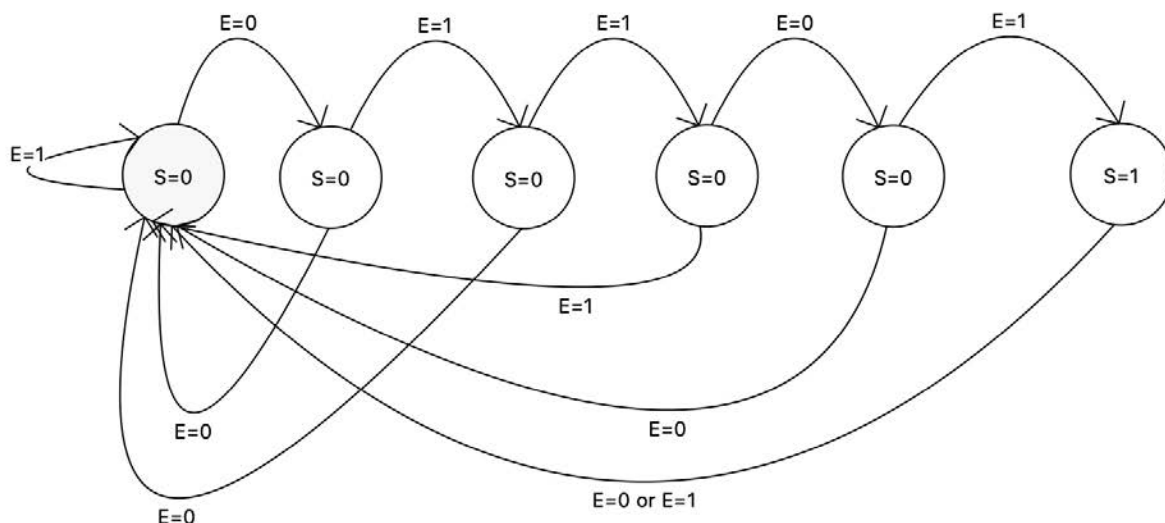
ORDRE DES INGÉNIEURS DU QUÉBEC

SESSION DE NOVEMBRE 2019

Toute documentation permise
Calculatrices : modèles autorisés seulement
Durée de l'examen : 3 heures

16-EL-A4 Systèmes numériques et ordinateurs

- 1) On considère un circuit avec quatre entrées A, B, C et D et trois sorties X, Y et Z. La sortie représente le nombre de 1 parmi les entrées. Ce nombre peut prendre les valeurs de 000 (aucune entrée à 1) à 100 (4 entrées à 1). Z est le bit de poids faible de la valeur du nombre d'entrées à 1 (X est le bit de poids fort).
- Quelle est la nature de ce circuit et pourquoi? (Combinatoire ou séquentiel) **(5 points)**
 - Donner la table de vérité pour ce circuit **(5 points)**
 - Tracer les tables de Karnaugh (K-maps) des sorties X, Y et Z **(15 points)**
 - Donner le circuit de chacune des sorties réalisées avec des portes NAND **(15 points)**
- 2) On considère un circuit synchrone ayant une sortie S et une entrée E dont voici le diagramme d'états :



- Énoncé en une phrase ce que fait ce circuit **(5 points)**
- Donner la table de transition de la machine à états représentant ce circuit **(10 points)**

- c) Que va-t-il se passer si l'on présente la séquence suivante à ce circuit : 0110101101? Est-ce le comportement qui serait normalement attendu compte-tenu de la fonction de ce circuit énoncée à la question a)? **(5 points)**
- d) Proposer une mise en œuvre de ce circuit en utilisant des bascules type D **(10 points)**

3) On considère un processeur avec une architecture en pipeline à 3 étages. On considère d'autre part que chaque instruction comporte les phases suivantes chacune de durée fixe (1 cycle machine) :

- i. Lecture de l'instruction et décodage
- ii. Lecture de l'opérande (facultative)
- iii. Exécution du traitement propre à l'instruction
- iv. Écriture du résultat (facultative et jamais avec ii)

Les instructions de ce processeur vont au maximum lire un opérande (phase ii) ou placer un résultat (phase iii) en mémoire mais jamais les deux dans la même instruction. De plus certaines instructions n'utilisent aucune référence à la mémoire pour s'exécuter (elles n'utilisent que des registres internes) (pas de phase ii ni iv).

- a) Résumer les trois formes possibles d'instruction au niveau de leur profil d'exécution temporel. **(5 points)**
 - b) Si la mémoire centrale ne permet qu'un seul accès à la fois, démontrer deux situations : a) une où l'enchaînement des instructions va se faire au rythme maximum possible et b) une où l'enchaînement des instructions va imposer des temps d'attente dans le pipeline. **(10 points)**
 - c) Dans cette architecture le troisième étage du pipeline est-il nécessaire? Pourquoi? **(5 points)**
- 3) Expliquer la différence entre l'utilisation de tableaux et l'utilisation de pointeurs en programmation pour effectuer des traitements sur des vecteurs. On utilisera un exemple simple démontrant la différence dans un langage évolué (comme C) et on analysera les implications pour le code machine engendré. **(10 points)**